

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-133439
 (43)Date of publication of application : 25.05.1989

(51)Int.Cl.

H04H 5/00

(21)Application number : 62-292440

(71)Applicant : SANYO ELECTRIC CO LTD

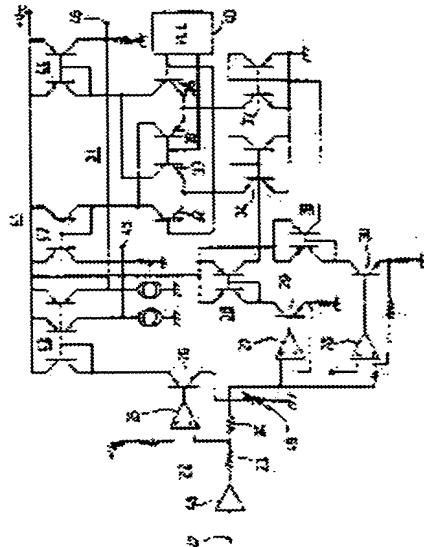
(22)Date of filing : 19.11.1987

(72)Inventor : ISHIGURO KAZUHISA
YAMAGISHI MIKIO

(54) STEREO-DEMODULATOR CIRCUIT

(57)Abstract:

PURPOSE: To reduce the distortion rate, to expand the dynamic range, and to improve the S/N of a stereo-demodulator circuit by amplifying stereo-composite signals at a negative feedback amplifier circuit and supplying the amplified signals to a differential signal demodulator circuit after the signals are V/I converted.
CONSTITUTION: Stereo-composite signals impressed upon an input terminal 47 are respectively amplified by means of a preamplifier 48 and 1st ~ 3rd negative feedback amplifier circuits 22, 27, and 28. Noninverted and inverted output signals outputted from these amplifier circuits 48, 22, 27, and 28 are supplied to input transistors 34 and 37 through current mirror circuits 38 and 39 after they are V/I converted by means of V/I conversion transistors 29 and 30. Stereo-differential signals are outputted from a differential signal demodulator circuit 31.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平1-133439

⑬ Int.Cl.⁴

H 04 H 5/00

識別記号

庁内整理番号

C-6866-5K

⑭ 公開 平成1年(1989)5月25日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 ステレオ復調回路

⑯ 特願 昭62-292440

⑰ 出願 昭62(1987)11月19日

⑱ 発明者 石黒和久 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑲ 発明者 山岸幹夫 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑳ 出願人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

㉑ 代理人 弁理士 西野卓嗣 外1名

明細書

1. 発明の名称

ステレオ復調回路

2. 特許請求の範囲

(1) FM検波されたステレオ複合信号をステレオ復調し、左右ステレオ信号を発生させるステレオ復調回路において、前記ステレオ複合信号を負帰還増幅する負帰還増幅回路と、該負帰還増幅回路の出力信号を電圧-電流変換する第1変換回路と、前記負帰還増幅回路の出力信号の反転出力信号及び非反転出力信号を発生する増幅回路と、該増幅回路の反転出力信号及び非反転出力信号を電圧-電流変換する第2変換回路と、該第2変換回路の出力電流が供給され、出力端子にステレオ差信号を発生する差信号復調回路と、前記第1変換回路の出力信号と前記差信号復調回路の出力信号とをマトリクスし、左右ステレオ信号を発生するマトリクス回路とから成るステレオ復調回路。

3. 発明の詳細な説明

(1) 産業上の利用分野

本発明は、FMラジオ放送により伝送されたステレオ複合信号から左右ステレオ信号を復調するステレオ復調回路に関するもので、特に特性的に優れたステレオ復調回路を提供せんとするものである。

(ロ) 従来の技術

昭和60年3月20付で発行された「'85三洋半導体ハンドブック モノリシックバイポーラ集積回路編」第360頁の回路図に示される如く、マトリクス型のステレオ復調回路が公知である。前記ステレオ復調回路は、第2図に示す如く、ステレオ複合信号が印加される入力端子(1)と、該ステレオ複合信号を増幅する増幅回路(2)と、第1乃至第3差動部(3)乃至(5)を含み、前記増幅回路(2)の出力信号中に含まれるステレオ差信号($L - R$)を復調する差信号復調回路(6)と、コレクタにステレオ和信号($L + R$)を発生させる第1及び第2トランジスタ(7)及び(8)と、前記ステレオ和信号($L + R$)とステレオ差信号($L - R$)とをマトリクスし、左右ステレオ信号

を発生するマトリクス回路(9)とを備えている。しかし、差信号復調回路(6)は、エミッタが抵抗(10)及び(11)を介して接続された第3及び第4トランジスタ(12)及び(13)から成り、前記第3トランジスタ(12)のベースにステレオ複合信号が印加される第1差動部(3)と、互いに逆位相の38KHzスイッチング信号を発生するPLL回路(14)と、エミッタが共通接続された第5及び第6トランジスタ(15)及び(16)から成り、共通エミッタに前記第3トランジスタ(12)からステレオ複合信号が、それぞれのベースに前記PLL回路(14)からの互いに逆位相の38KHzスイッチング信号が印加される第2差動部(4)と、エミッタが共通接続された第7及び第8トランジスタ(17)及び(18)から成り、共通エミッタに前記第4トランジスタ(13)からステレオ複合信号が、それぞれのベースに前記PLL回路(14)からの互いに逆位相の38KHzスイッチング信号が印加される第3差動部(5)によって構成されており、第2及び第3差動部(4)及び(5)において、ステレオ複合信号と38KHz

スイッチング信号とを乗算し、ステレオ差信号(L-R)を復調するものである。

また、マトリクス回路(9)は、第1トランジスタ(7)のコレクタに得られるステレオ和信号(L+R)と、第3及び第5トランジスタ(15)及び(17)のコレクタに得られるステレオ差信号-(L-R)とを加算し、右出力端子(19)に右ステレオ信号(R)を発生するとともに、第2トランジスタ(8)のコレクタに得られるステレオ和信号(L+R)と、第4及び第6トランジスタ(16)及び(18)のコレクタに得られるステレオ差信号(L-R)とを加算し、左出力端子(20)に左ステレオ信号(R)を発生するものである。

(a) 発明が解決しようとする問題点

しかしながら、第2図のステレオ復調回路は、第1乃至第4トランジスタ(7)乃至(13)のベース・エミッタ間電圧非直線歪が発生する為、歪率が悪化するという問題があった。また、第3トランジスタ(12)のベースに印加される入力信号の最大レベルが制限される為、ダイナミックレンジやS/N等に關しても問題があった。例えば、第4トランジスタ(13)のベースに印加される直流電圧を3V、エミッタ抵抗(10)及び(11)の値をそれぞれ1KΩ、定電流源(21)に流れる電流を1mAとすると、入力信号の最大レベルは1V(ピーク)(700mVrms)となり、S/Nの悪化を避けることが出来なかつた。

(c) 問題点を解決するための手段

本発明は、上述の点に鑑み成されたもので、ステレオ複合信号を負帰還増幅する負帰還増幅回路と、該負帰還増幅回路の出力信号を電圧-電流変換する第1変換回路と、前記負帰還増幅回路の出力信号の反転出力信号及び非反転出力信号を発生する増幅回路と、該増幅回路の反転出力信号及び非反転出力信号を電圧-電流変換する第2変換回路と、該第2変換回路の出力電流が入力信号として供給される差信号復調回路と、前記第1変換回路の出力信号と前記差信号復調回路の出力信号とをマトリクスするマトリクス回路とを備える点を特徴とする。

(*) 作用

本発明に依れば、ステレオ複合信号を負帰還増幅回路に印加して増幅しているので、歪率の改善が計れる。また、負帰還増幅回路の出力電圧を、電圧-電流変換し、基信号復調回路に電流モードで入力信号を供給しているので、入力信号の最大レベルの制限が緩和され、ダイナミックレンジが広く、S/Nが改善されたステレオ復調回路を提供出来る。

(d) 実施例

第1図は、本発明の一実施例を示すもので、(22)は入力抵抗(23)、負帰還抵抗(24)、及び増幅部(25)を有する第1負帰還回路、(26)は該増幅部(25)の出力電圧をV-I(電圧-電流)変換する第1変換トランジスタ、(27)は該第1変換トランジスタ(26)のエミッタ電圧を負帰還増幅し、非反転出力信号を発生する第2負帰還増幅回路、(28)は前記第1変換トランジスタ(26)のエミッタ電圧を負帰還増幅し、反転出力信号を発生する第3負帰還増幅回路、(29)は前記第2負帰還増幅回路(27)

の出力電圧をV-I変換する第2変換トランジスタ、(30)は前記第3負帰還増幅回路(28)の出力信号をV-I変換する第3変換トランジスタ、(31)はエミッタが共通接続された第1及び第2トランジスタ(32)及び(33)と、該第1及び第2トランジスタ(32)及び(33)の共通エミッタにコレクタが接続された第1入力トランジスタ(34)と、エミッタが共通接続された第3及び第4トランジスタ(35)及び(36)と、該第3及び第4トランジスタ(35)及び(36)の共通エミッタにコレクタが接続された第2入力トランジスタ(37)とを備える差信号復調回路、(38)は前記第2変換トランジスタ(29)のコレクタ電流を前記第1入力トランジスタ(34)に供給する第1電流ミラー回路、(39)は前記第3変換トランジスタ(30)のコレクタ電流を前記第2入力トランジスタ(37)に供給する第2電流ミラー回路、(40)は前記第1乃至第4トランジスタ(32)乃至(36)のベースに互いに逆相で、19kHzステレオバイロット信号に同期した38kHzスイッチング信号を供給するPLL(フェーズロックループ)

回路、及び(41)は第3乃至第5電流ミラー回路(42)乃至(44)から成り、前記第1変換トランジスタ(26)のコレクタ電流と前記差信号復調回路(31)の出力電流とをマトリクスし、第1及び第2出力端子(45)及び(46)に左右ステレオ信号を発生するマトリクス回路である。

入力端子(47)に印加されるステレオ複合信号は、前置増幅回路(48)で増幅された後、第1負帰還増幅回路(22)に印加され負帰還増幅される。その時、負帰還抵抗(24)の値を20kΩ、負荷抵抗(49)の値を5kΩとすれば、前記負荷抵抗(49)の端子電圧は、約2.1Vrmsとなる。この電圧は、利得が1の第2及び第3負帰還増幅回路(27)及び(28)に印加され負帰還増幅されるので、前記第2負帰還増幅回路(27)の出力端には、非反転出力信号が、前記第3負帰還増幅回路(28)の出力端には、反転出力信号がそれぞれ発生する。前記非反転出力信号は、第2V-I変換トランジスタ(29)でV-I変換され、第1電流ミラー回路(38)を介して第1入力トランジスタ(34)に供給される。同様

に、前記反転出力信号は、第3V-I変換トランジスタ(30)でV-I変換され、第2電流ミラー回路(39)を介して第2入力トランジスタ(37)に供給される。従って、差信号復調回路(31)には、電流モードで入力信号が供給されることになり、不要な入力制限を受けなくなる。

第1及び第2入力トランジスタ(34)及び(37)に供給された入力信号は、第1乃至第4トランジスタ(32)乃至(36)のエミッタに供給され、従来と同様PLL回路(40)から供給される38kHzスイッチング信号と乗算される。その為、差信号復調回路(31)の出力端には、ステレオ差信号(L-R)及び-(L-R)に対応した電流が得られる。マトリクス回路(41)は、第1変換トランジスタ(26)のコレクタ電流と前記ステレオ差信号に対応した電流とを加算してマトリクスを行う。その結果、第1及び第2出力端子(45)及び(46)にそれぞれ左右ステレオ信号(L)及び(R)が得られる。

(+) 発明の効果

以上述べた如く、本発明に依れば、ステレオ複

合信号をまず負帰還増幅回路で増幅し、その後V-I変換して差信号復調回路に供給しているので、歪率の改善されたステレオ復調回路を作成することが出来る。また、入力信号が大きなレベル制限を受けて、最大入力レベルを大にすることが出来るので、ダイナミックレンジの拡大及びS/Nの改善を計ることが出来、全体として特性的に非常に優れたステレオ復調回路を提供出来る。

4. 図面の簡単な説明

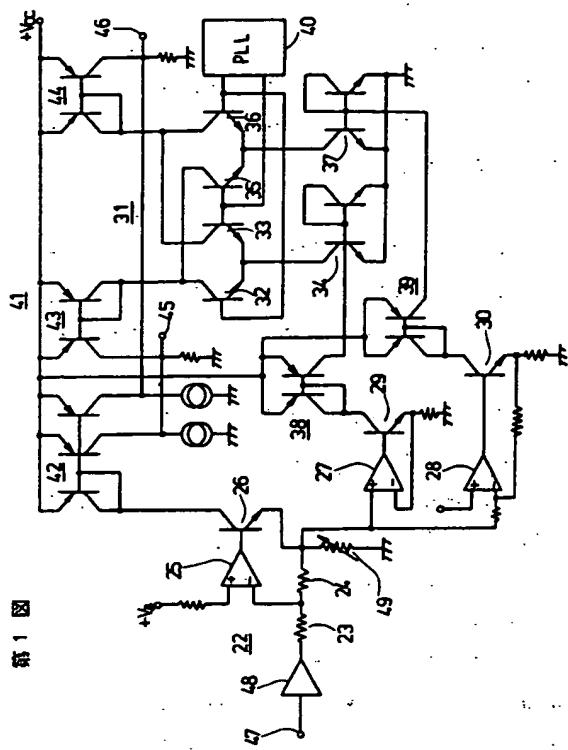
第1図は、本発明の一実施例を示す回路図、及び第2図は従来のステレオ復調回路を示す回路図である。

(22),(27),(28)…負帰還増幅回路、(26),(29),(30)…変換トランジスタ、(31)…差信号復調回路、(41)…マトリクス回路。

出願人 三洋電機株式会社

代理人 弁理士 西野卓朗 外1名

圖一



第2圖

